

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-335646

(43)公開日 平成10年(1998)12月18日

(51)Int.Cl.<sup>6</sup>  
H 0 1 L 29/78

識別記号

F I  
H 0 1 L 29/78

3 0 1 X

審査請求 有 請求項の数9 OL (全7頁)

(21)出願番号 特願平10-77686  
(22)出願日 平成10年(1998)3月25日  
(31)優先権主張番号 20561/1997  
(32)優先日 1997年5月24日  
(33)優先権主張国 韓国 (KR)

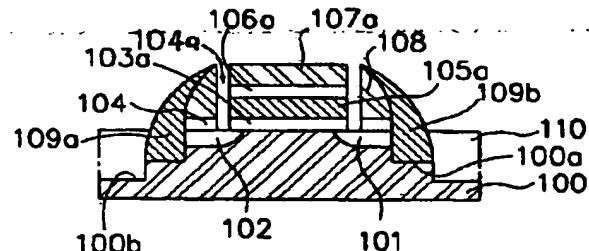
(71)出願人 596034274  
エルジー セミコン カンパニー リミテッド  
大韓民国、チューンチェオンブクード、チエオンジュ、フンダクーフ、ヒヤングジエオンードン、1  
(72)発明者 ジャイーブム スウ  
大韓民国、チューンチェオンブクード、チエオンジュ、フンダクーフ、カエシンードン、3  
(74)代理人 弁理士 笹島 富二雄 (外1名)

(54)【発明の名称】 MOS 電界効果トランジスタ素子及びその製造方法

(57)【要約】

【課題】ゲート電極の側面に空間部を形成してソースとゲート間のフリンジングキャパシタの増加現象を防止し、ソース／ドレインに垂直なサイドウォールを形成して半導体チップの占有面積を減少し、ショートチャンネル効果を防止して生産原価を低減し得るMOS電界効果トランジスタ素子を提供すること。

【解決手段】複数の構造物が対称的に形成された半導体基板100と、該基板内の両方側に形成された第1不純物領域101,102と、該半導体基板の上面に形成された第1絶縁層104及び第1導電層(ゲート電極)105と、該第1導電層105の両方側の前記第1不純物領域101,102上に形成された第1サイドウォールスペーサ108と、前記第1サイドウォールスペーサ108に隣接して形成された第2サイドウォールスペーサ109と、前記ゲート電極105と前記第1サイドウォールスペーサ108間に形成された空間部104aと、を備えて構成されている。



## 【特許請求の範囲】

【請求項1】半導体基板上にゲート絶縁層を包含して形成されたゲート電極と、前記ゲート電極の両側の前記半導体基板内に形成された第1不純物領域と、前記ゲート電極の両側に形成された第1サイドウォールスペーサと、該第1窒化層サイドウォールスペーサの外周面に形成された第2導電層サイドウォールスペーサと、前記ゲート電極と前記第1サイドウォールスペーサ間に形成された空間部と、を含んで構成されたことを特徴とするMOS電界効果トランジスタ素子。

【請求項2】前記ゲート電極上に形成された第2絶縁層と、該第2絶縁層上に形成された第1窒化層と、前記ゲート電極上的一部分が露出されるように形成されたコンタクトホールと、該コンタクト内に形成され前記ゲート電極と連結された第1メタルと、該第1メタルに連結された第2メタルと、を含んで構成されることを特徴とする請求項1記載のMOS電界効果トランジスタ素子。

【請求項3】前記第2導電線サイドウォールスペーサは、前記第1不純物領域よりも高濃度にドーピングされたソース／ドレイン領域であることを特徴とする請求項1又は請求項2記載のMOS電界効果トランジスタ素子。

【請求項4】前記第1不純物領域は、基板に水平に形成され、前記第2導電層サイドウォールスペーサは、垂直に形成されて相互隣接されていることを特徴とする請求項1～請求項3の何れか1つに記載のMOS電界効果トランジスタ半導体素子。

【請求項5】複数の構造物が対称的に形成された半導体基板と、該半導体基板内の上部両側に形成された第1不純物領域と、前記半導体基板の頂部に形成された第1絶縁層及び第1導電層と、該第1導電層の両側の前記第1不純物領域上に形成された第1サイドウォールスペーサと、

該第1サイドウォールスペーサの側方の半導体基板上にエッティングを施し、前記第1不純物領域に隣接して形成された第2サイドウォールスペーサと、を含んで構成されることを特徴とするMOS電界効果トランジスタ素子。

【請求項6】前記第2サイドウォールスペーサの形成された半導体基板上の構造物上面に第4絶縁層が形成されたことを特徴とする請求項5記載のMOS電界効果トランジスタ素子。

【請求項7】前記第4絶縁層は、素子隔離膜として酸化

膜で形成することを特徴とする請求項6記載のMOS電界効果トランジスタ素子。

【請求項8】半導体基板上にゲート絶縁層を包含したゲート電極を形成する工程と、該ゲート電極の両側の前記半導体基板内に不純物領域を形成する工程と、前記ゲート電極の両側に第1絶縁層を形成する工程と、該第1絶縁層の上面に第1サイドウォールスペーサを形成する工程と、前記第1絶縁層を食刻して前記第1サイドウォールスペーサと前記ゲート電極間に空間部(air gap)を形成する工程と、を順次行うことを特徴とするMOS電界効果トランジスタ素子の製造方法。

【請求項9】前記第1サイドウォールスペーサの外周面上の前記半導体基板上に第2サイドウォールスペーサを形成する工程を追加して行うことを特徴とする請求項8記載のMOS電界効果トランジスタ素子の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体素子に係るもので、詳しくは、高集積素子に適用し得るMOS電界効果トランジスタ(MOS FET: Metal-oxide-silicon Field Effect Transistor)素子及びその製造方法に関するものである。

## 【0002】

【従来の技術】従来MOS電界効果トランジスタ素子においては、図6に示したように、上面に活性領域1a及びフィールド領域1bが形成され、該活性領域1aの内部にソース／ドレイン2、3が形成された半導体基板1と、前記活性領域1a及びフィールド領域1b上に夫々形成されたゲート絶縁層4及びフィールド絶縁層5と、該ゲート絶縁層4上の所定領域に形成されたゲートパターン6aと、該ゲートパターン6a上に形成された第1絶縁層パターン7aと、前記ゲートパターン6a及び第1絶縁層パターン7aの両方側面の、前記ゲート絶縁層4の上面に形成された第2絶縁層サイドウォールスペーサ8と、を備え、前記ソース／ドレイン2、3は、低濃度不純物領域2a、3a及び高濃度不純物領域2b、3bから構成されていた。

【0003】以下、このように構成された従来MOS電界効果トランジスタの製造方法を図面を用いて説明する。先ず、図7(A)に示したように、半導体基板1上の活性領域1a及びフィールド領域1bにゲート絶縁層4及びフィールド絶縁層5を夫々成長させた後、該ゲート絶縁層4上にドーピングされたポリシリコン層のゲート6を蒸着し、該ゲート6上に第1絶縁層7を化学気相蒸着法(以下、CVDと称する)により形成する。

【0004】次いで、図7(B)に示したように、前記第1絶縁層6上に感光層パターン9を形成し、該感光層

パターン9をマスクとして前記ゲート6上の所定領域を露出させるために、前記第1絶縁層7をエッチングして第1絶縁層パターン7aを形成し、図8(A)に示したように、前記感光層パターン9を除去し、前記第1絶縁層パターン7aをマスクとして前記ゲート絶縁層4の所定領域を露出させるために前記ゲート6をエッチングしてゲートパターン6aを形成する。

【0005】次いで、図8(B)に示したように、前記ゲートパターン6a及び第1絶縁層パターン7aをマスクとして前記半導体基板1内に低濃度にドーピングされた不純物をイオン注入してソース/ドレイン2a、3aを形成し、前記ゲートパターン6a及び第1絶縁層パターン7aを包含する前記ゲート絶縁層4及びフィールド絶縁層5の上面にCVDにより酸化物質を蒸着し、エッチバックして前記ゲートパターン6a及び第1絶縁層7aの両方側面及びゲート絶縁層4の上面に第2絶縁層サイドウォールスペーサ8を形成すると、前記半導体基板上の一部が露出され、前記ソース/ドレイン2a、3aは、n-又はp-にドーピングされる。

【0006】次いで、図8(C)に示したように、前記第1絶縁層パターン7a及び第2絶縁層サイドウォールスペーサ8をマスクとして前記露出された半導体基板1内に、高濃度にドーピングされた不純物をイオン注入して高濃度の不純物領域のソース/ドレイン2b、3bを形成してMOS電界効果トランジスタの製造工程を終了する。

【0007】このとき、ソース/ドレイン2b、3bは、N+又はP+にドーピングされる。そして、図9に示したように、従来、通常のメタル配線構造のMOS電界効果トランジスタにおいては、前記フィールド絶縁層5、半導体基板1、第2絶縁層サイドウォールスペーサ8及び第1絶縁層パターン7aの上面に所定厚さの第3絶縁層10をCVDにより蒸着した後、前記ゲートパターン6a、高濃度不純物領域のソース及びドレイン領域2b、3bに配線用コンタクトホール11を夫々形成した後、メタル12を形成していた。

#### 【0008】

【発明が解決しようとする課題】しかしながら、このように形成された従来MOS電界効果素子は、ソース/ドレイン2、3が水平構造に形成されるため、実際の半導体チップ上の占有面積が増大し、ゲート6と不純物領域2、3間に形成された第2絶縁層8の誘電率によりフリンジングキャパシタ(fringing capacitor)値が増加して素子の特性が低下し、素子のフィールド領域1bの形成時に隔離用マスクを用いるため、製造工程が煩雑であるという不都合な点があった。

【0009】且つ、高濃度の不純物をイオン注入してソース/ドレイン2b、3bを形成するとき、接合の深さが深くなつてショートチャンネル現象(short channel effect)が発生するという不都合な点があった。そこ

で、本発明の目的は、ゲート電極と不純物領域間に空間部を形成して素子の特性向上し、垂直構造のソース/ドレインを形成して高集積化を図り、ソース/ドレインをサイドウォールスペーサに形成してショートチャンネル現象を防止し、自己整合により素子間の隔離(isolation)を行つて得るMOS電界効果トランジスタの素子及びその製造方法を提供しようとするものである。

#### 【0010】

【課題を解決するための手段】このような目的を達成するため本発明に係るMOS電界効果トランジスタ素子においては、半導体基板100上にゲート絶縁層103を包含して形成されたゲート電極105と、前記ゲート電極105の両側の前記半導体基板100内に形成された第1不純物領域101、102と、前記ゲート電極105の両側に形成された第1サイドウォールスペーサ108と、該第1サイドウォールスペーサ108の外周面に形成された第2サイドウォールスペーサ109a、109bと、前記ゲート電極105と前記第1サイドウォールスペーサ108間に形成された空間部104aと、を含んで構成されている。

【0011】なお、前記ゲート電極上に形成された第2絶縁層と、該第2絶縁層上に形成された第1窒化層と、前記ゲート電極上的一部分が露出されるように形成されたコンタクトホールと、該コンタクト内に形成され前記ゲート電極と連結された第1メタルと、該第1メタルに連結された第2メタルと、を含んで構成することができる。

【0012】また、前記第2導電線サイドウォールスペーサを、前記第1不純物領域よりも高濃度にドーピングされたソース/ドレイン領域とすることができます。そして、前記第1不純物領域は、基板に水平に形成され、前記第2導電層サイドウォールスペーサは、垂直に形成されて相互隣接される構成とすることができる。

【0013】また、前記の目的を達成するため、請求項5に記載の発明に係るMOS電界効果トランジスタ素子においては、複数の構造物が対称的に形成された半導体基板100と、該半導体基板100内の上部両側に形成された第1不純物領域101、102と、該半導体基板100の頂部に形成された第1絶縁層104及び第1導電層105と、該第1導電層105の両側の前記第1不純物領域101、102上に形成された第1サイドウォールスペーサ108と、該第1サイドウォールスペーサ108の側方の半導体基板100上にエッチングを施し、前記第1不純物領域101、102に隣接して形成された第2サイドウォールスペーサ109a、109bと、を含んで構成されている。

【0014】なお、前記第2サイドウォールスペーサの形成された半導体基板上の構造物上面に第4絶縁層を形成することができる。そして、前記第4絶縁層は、素子隔離膜として酸化膜で形成することができる。更に、前

記の目的を達成するため、本発明に係るMOS電界効果トランジスタ素子の製造方法は、半導体基板100上にゲート絶縁層103を包含したゲート電極105を形成する工程と、該ゲート電極105の両側の前記半導体基板100内に不純物領域101、102を形成する工程と、前記ゲート電極105の両側に第1絶縁層104を形成する工程と、該第1絶縁層104の上面に第1サイドウォールスペーサ108を形成する工程と、前記第1絶縁層104を食刻して前記第1サイドウォールスペーサ108と前記ゲート電極105間に空間部104aを形成する工程と、を順次行うようになっている。

【0015】そして、前記第1サイドウォールスペーサの外周面上の前記半導体基板上に第2サイドウォールスペーサを形成する工程を追加して行うことができる。

#### 【0016】

【発明の実施の形態】以下、本発明の一実施の形態について、図面を用いて説明する。本発明の一実施の形態に係るMOS電界効果トランジスタ素子においては、図1に示したように、相異なる深さの第1エッチング領域100a及び第2エッチング領域100bが夫々段状に形成され、低濃度の第1不純物領域のソース／ドレイン101、102が形成された半導体基板100と、該半導体基板100上の所定領域に形成されたゲート絶縁層パターン103aと、該ゲート絶縁層パターン103aの側方及び前記ソース／ドレイン101、102上の所定領域に形成された第1絶縁層104と、前記ゲート絶縁層パターン103a上に順次形成された第1導電層（ゲート電極）パターン105a、第2絶縁層パターン106a及び第1窒化層パターン107aと、前記ゲート絶縁層パターン103a、第1導電層パターン105a、第2絶縁層パターン106a及び第1窒化層パターン107aの側面に隣接して、前記第1絶縁層104上に形成された第2窒化層サイドウォールスペーサ108と、前記ゲート絶縁層パターン103a、第1導電層パターン105a、第2絶縁層パターン106a及び第1窒化層パターン107aの側面と前記第2窒化層サイドウォールスペーサ108間に形成された空間部104aと、前記第2窒化層サイドウォールスペーサ108、第1絶縁層104及びソース／ドレイン101、102の両側の前記第1エッチング領域100a上に夫々形成された高濃度の第2不純物領域の第2導電層サイドウォールスペーサ109a、109bと、それら各第2導電層サイドウォールスペーサ109a、109bの側面の前記第2エッチング領域100b上に所定高さに形成された第3絶縁層110と、を備え、前記第1導電層（ゲート電極）パターン105aは、ポリシリコンから形成され、前記第3絶縁層110はフィールド絶縁層から形成されている。

【0017】以下、本発明に係るMOS電界効果トランジスタ素子の製造方法について、図2（A）～（C）、図

3（A）～（C）、図4を用いて説明する。先ず、図2（A）に示したように、半導体基板100（例えば、Si）上にゲート絶縁層103を成長させ、前記ゲート絶縁層103上にドーピングされたポリシリコン層の第1導電層（ゲート電極）105を蒸着し、該第1導電層105上に第2絶縁層106をCVD法を施して蒸着した後、該第2絶縁層106上に第1窒化層（例えば、Si<sub>3</sub>N<sub>4</sub>）107を蒸着して形成する。

【0018】このとき、前記ゲート絶縁層103及び第2絶縁層106は、主にシリコン酸化物SiO<sub>2</sub>から形成される。次いで、図2（B）に示したように、前記第1窒化層107上に感光層パターン111を形成し、該感光層パターン111をマスクとして前記第1窒化層107及び第2絶縁層106をエッチングし、第1窒化層パターン107a及び第2絶縁層パターン106aを形成する。

【0019】次いで、図2（C）に示したように、前記感光層パターン111を除去し、前記第2絶縁層パターン106a及び第1窒化層パターン107aをマスクとして前記第1導電層105及びゲート絶縁層103をエッチングして第1導電層パターン105a及びゲート絶縁層パターン103aを形成し、露出された前記半導体基板100上に、低濃度の不純物をイオン注入して、図3（A）に示したように、自己整合により前記半導体基板100内に低濃度の第1不純物領域のソース／ドレイン101、102を形成し、前記ゲート絶縁層パターン103a、前記ゲート電極パターン105a、前記第2絶縁層パターン106a及び第1窒化層パターン107aを包含する前記半導体基板100上にCVDを施して酸化物質層を蒸着し、該蒸着された酸化物質層上に窒化物質層をCVDにより形成した後、それら酸化物質層及び窒化物質層をエッチバック（etch back）して前記ゲート絶縁層パターン103a、前記ゲート電極パターン105a、前記第2絶縁層パターン106a及び第1窒化層パターン107aの側面上に夫々第1絶縁層104及び第2窒化層サイドウォールスペーサ（第1サイドウォールスペーサ）108を順次形成する。

【0020】次いで、図3（B）に示したように、前記第1窒化層パターン107a、前記第2窒化層サイドウォールスペーサ108及び第1絶縁層104をマスクとして前記半導体基板100を所定深さまでエッチングして第1エッチング領域100aを形成する。次いで、図3（C）に示したように、前記第1窒化層パターン107a、前記第2窒化層サイドウォールスペーサ108、前記第1絶縁層104及び前記第1エッチング領域100aの上面にP<sup>+</sup>又はN<sup>+</sup>にドーピングされた導電物質層（ポリシリコン層）を蒸着して形成し、該蒸着された導電物質層をエッチバックして前記サイドウォールスペーサ108及び前記第1絶縁層104の側方の第1エッチング領域100aの上面に高濃度の前記第2不純物領

域の第2導電層サイドウォールスペーサ（第2サイドウォールスペーサ）109a、109bを夫々形成する。

【0021】前記導電物質層のエッチバック工程時に、前記半導体基板100も所定厚さにエッチングして第2エッチング100b領域を形成する。次いで、図4に示したように、前記サイドウォールスペーサ108、109a、109b、前記第1窒化層パターン107a、前記第1絶縁層104及び前記第2エッチング領域100bの上面に酸化物質層を蒸着して形成し、エッチングを施して、エッチバックを施して前記第2導電層サイドウォールスペーサ109a、109bの側面及び第2エッチング領域100b上にフィールド絶縁層の前記第3絶縁層110を形成して、本発明の全ての工程を終了するが、このとき、前記第3絶縁層110のエッチング時に、前記第2窒化層サイドウォールスペーサ108の側面に形成された第1絶縁層104もエッチバックされて、空間部104aが形成される。

【0022】そして、本発明に係るMOS電界効果トランジスタ素子のメタル配線においては、図5に示したように、前記空間部104aを除いた前記サイドウォールスペーサ108、109、前記第1窒化層パターン107a及び前記第3絶縁層110上にCVD法を施して酸化物質層を蒸着して第4絶縁層112を形成し、該第4絶縁層112をエッチングしてコンタクトホール113を形成し、該コンタクトホール113及び第4絶縁層112上にメタルパターン114a、114bを夫々形成する。

### 【0023】

【発明の効果】以上説明したように本発明に係る請求項1においては、ゲート電極105と第1サイドウォールスペーサ108間に空間部104aを形成して前記ゲート電極と不純物領域間で発生するフリンジングキャパシタ値を減少させるようになっているため、素子の特性を向上し、高濃度にドーピングされたソース／ドレイン領域の第2サイドウォールスペーサを形成するようになっているため、素子動作時のショートチャンネル現象を防止し得るという効果がある。

【0024】そして、請求項4に記載の発明においては、第1不純物領域に第2サイドウォールスペーサを垂直に形成して半導体チップ上の占有面積を低減し得るという効果がある。又、請求項5に記載の発明においては、半導体の基板内に複数の構造物を自己整合により対称的に形成して工程の単純化を図り、高濃度にドーピングされたソース／ドレイン領域の第2サイドウォールスペーサを形成して素子動作時に発生するショートチャンネル効果を防止し得るという効果がある。

【0025】更に、請求項6に記載の発明においては、半導体基板上に第4絶縁層の隔離領域を自己整合により形成して工程の単純化を図り得るという効果がある。そして、請求項7に記載の発明においては、第4絶縁層に

より半導体基板上に形成された素子間を隔離させて絶縁特性を向上し得るという効果がある。又、請求項9に記載の発明においては、イオン注入を行って高濃度にドーピングされたソース／ドレイン領域の第2サイドウォールスペーサと低濃度にドーピングされた不純物領域とを連結するようになっているため、素子動作時に発生されるショートチャンネル現象を防止し得るという効果がある。

### 【図面の簡単な説明】

【図1】本発明の一実施の形態に係るMOS電界効果トランジスタ素子の構成を示した縦断面図である。

【図2】(A)～(C)は、本発明の一実施の形態に係るMOS電界効果トランジスタ素子の製造方法を示した工程断面図である。

【図3】(A)～(C)は、本発明の一実施の形態に係るMOS電界効果トランジスタ素子の製造方法を示した工程断面図である。

【図4】本発明の一実施の形態に係るMOS電界効果トランジスタ素子の製造方法を示した工程断面図である。

【図5】本発明の一実施の形態に係るMOS電界効果トランジスタ素子のメタル配線を示した断面図である。

【図6】従来MOS電界効果トランジスタ素子の構成を示した縦断面図である。

【図7】(A)、(B)は、従来MOS電界効果トランジスタ素子の製造方法を示した工程断面図である。

【図8】(A)～(C)は、従来MOS電界効果トランジスタ素子の製造方法を示した工程断面図である。

【図9】従来MOS電界効果トランジスタ素子のメタル配線を示した断面図である。

### 【符号の説明】

100：半導体基板

100a：第1エッチング領域

100b：第2エッチング領域

101、109a：ソース

102、109b：ドレイン

101、102：第1不純物領域

103：ゲート絶縁層

103a：ゲート絶縁層パターン

104：第1絶縁層（第1絶縁側壁）

104a：空間部

105：第1導電層（ゲート電極）

105a：第1導電層パターン

106：第2絶縁層

106a：第2絶縁層パターン

107：第1窒化層

107a：第1窒化層パターン

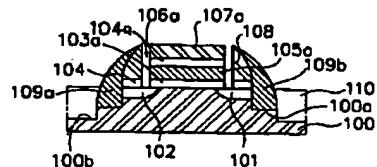
108：第2窒化層サイドウォールスペーサ（第1サイドウォールスペーサ）

109a、109b：第2導電層サイドウォールスペーサ（第2サイドウォールスペーサ）

9

110: 第3絶縁層  
111: 感光層パターン  
112: 第4絶縁層  
113: コンタクトホール

【図1】



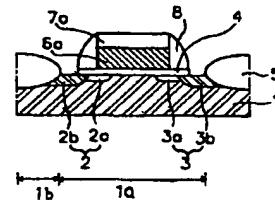
10

\* 114: メタル  
114a: 第1メタル  
114b: 第2メタル  
\*

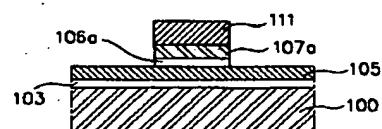
【図2】



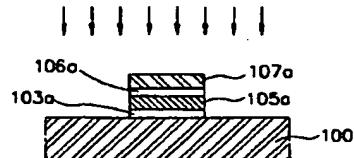
【図6】



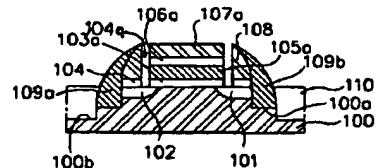
(B)



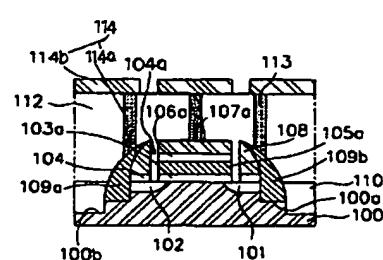
(C)



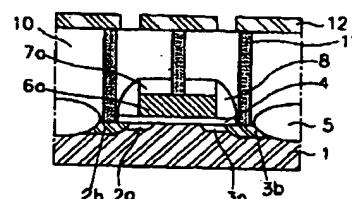
【図4】



【図5】

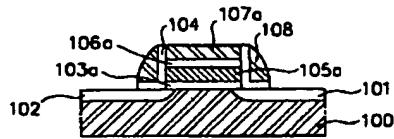


【図9】

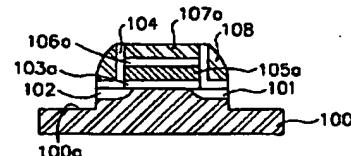


【図3】

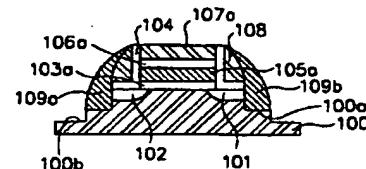
(A)



(B)

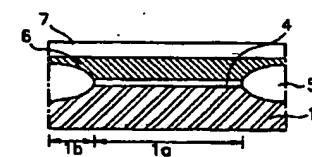


(C)

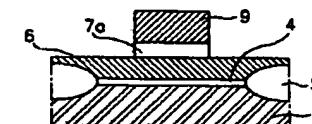


【図7】

(A)

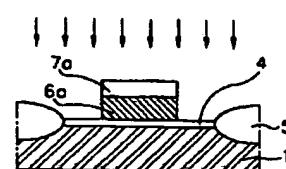


(B)

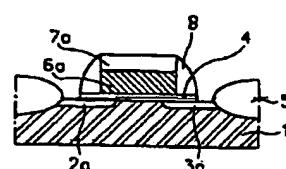


【図8】

(A)



(B)



(C)

